

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000036729 A**(43) Date of publication of application: **02 . 02 . 00**

(51) Int. Cl. **H03K 5/15**  
**H03K 5/13**  
**H03L 7/06**

(21) Application number: **10325092**(22) Date of filing: **16 . 11 . 98**(30) Priority: **14 . 05 . 98 JP 10132115**(71) Applicant: **mitsubishi electric corp**

(72) Inventor: **YOSHIMURA TSUTOMU**  
**NAKASE YASUNOBU**  
**MOROOKA KIICHI**  
**WATANABE NAOYA**

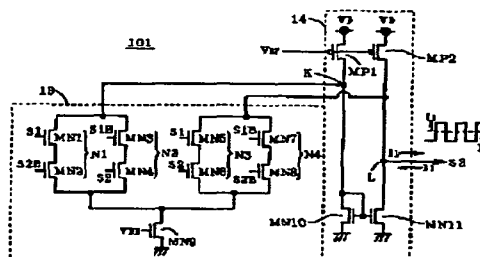
(54) **NINETY-DEGREE PHASE SHIFTER**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a 90° phase shifter which has a uniform input load and prevents phase offsetting.

SOLUTION: Transistors (TR) MP1 and MP2 supply currents I0 to nodes K and L respectively, and TRs MN10 and MN11 draw mutually equal currents out of the nodes K and L respectively. A parallel connection of series-connection body N1 and N2 draws a current I1 out of the node K, only when exclusive OR of clocks S1 and S2 is 'H'. A parallel connection of series-connection bodies N3 and N3, meanwhile draws a current I1 out of the node L, only when the exclusive OR of the clocks S1 and S2 is 'L'. Once the current I1 is drawn out of the node K, a current I1 flows out of the node L and when the current I1 is drawn out of the node L, a current I1 flows in the node L. The series-connection bodies N1 to N3 receive the clocks S1 and S2 and their inverted signals S1B and S2B at one of the gates of the TRs MN1 to MN8, so that the input loads become uniform.





(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-36729

(P 2000-36729A)

(43)公開日 平成12年2月2日(2000.2.2)

3

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターマコード <sup>*</sup> (参考)
H03K 5/15		H03K 5/15	B
5/13		5/13	
H03L 7/06		H03L 7/06	Z

審査請求 未請求 請求項の数 8 O L (全14頁)

(21)出願番号 特願平10-325092

(22)出願日 平成10年11月16日(1998.11.16)

(31)優先権主張番号 特願平10-132115

(32)優先日 平成10年5月14日(1998.5.14)

(33)優先権主張国 日本 (J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 吉村 勉

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 中瀬 泰伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

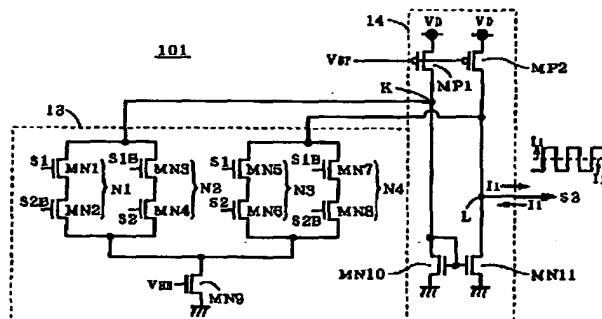
最終頁に続く

(54)【発明の名称】 90° 位相シフタ

(57)【要約】

【課題】 入力負荷が均等で、位相オフセットを防ぐ90° 位相シフタを得る。

【解決手段】 トランジスタMP1, MP2はそれぞれノードK, Lに電流 $I_1$ を供給し、トランジスタMN10, MN11はそれぞれノードK, Lから互いに等しい電流を引き抜く。直列接続体N1, N2の並列接続は、クロックS1, S2の排他的論理和が“H”のときのみノードKから電流 $I_1$ を引き抜く。一方、直列接続体N3, N4の並列接続は、クロックS1, S2の排他的論理和が“L”のときのみノードLから電流 $I_1$ を引き抜く。ノードKから電流 $I_1$ が引き抜かれれば、ノードLからは電流 $I_1$ が流出し、ノードLから電流 $I_1$ が引き抜かれれば、ノードLへと電流 $I_1$ が流入する。直列接続体N1~N4はクロックS1, S2及びそれらの反転信号S1B, S2BをトランジスタMN1~MN8のいずれかのゲートに受けるので、入力負荷は均一になる。



## 【特許請求の範囲】

【請求項 1】 第 1 及び第 2 ノードと、

前記第 1 ノードに第 1 電流を供給する第 1 電流源と、  
前記第 2 ノードに前記第 1 電流を供給する第 2 電流源と、

前記第 1 ノードから電流を引き抜く第 1 経路と、前記第 2 ノードから電流を引き抜く第 2 経路とを含むカレントミラー回路とを有する第 1 電流制御回路と、

第 1 及び第 2 信号の排他的論理和が第 1 論理を採る場合にのみ前記第 1 ノードから第 2 電流を引き抜く第 1 部分と、

前記第 1 及び第 2 信号の排他的論理和が前記第 1 論理と異なる第 2 論理を採る場合にのみ前記第 2 ノードから前記第 2 電流を引き抜く第 2 部分とを有する第 2 電流制御回路と、

前記第 2 ノードに接続された第 1 ローパスフィルタと、  
前記第 1 ローパスフィルタの出力電位によって制御される遅延量を以て前記第 1 信号を遅延させて前記第 2 信号を出力する遅延部とを備える 90° 位相シフタ。

【請求項 2】 前記第 1 ローパスフィルタは前記第 2 ノードに接続された第 1 端と、前記第 1 ローパスフィルタの前記出力電位が得られる第 2 端とを有する抵抗と、  
前記抵抗の前記第 1 端に接続された第 1 端と、第 2 端とを有する第 1 コンデンサと、  
前記抵抗の前記第 2 端に接続された第 1 端と、前記第 1 コンデンサの前記第 2 端に接続された第 2 端とを有し、  
前記第 1 コンデンサよりも容量値が大きい第 2 コンデンサとを備える、請求項 1 記載の 90° 位相シフタ。

【請求項 3】 前記第 1 ローパスフィルタは前記第 2 コンデンサの初期状態を充電状態とする電流供給機構を更に備える、請求項 2 記載の 90° 位相シフタ。

【請求項 4】 前記第 1 ローパスフィルタの前記出力電位を入力信号とする正入力端と、負入力端と、前記第 1 ローパスフィルタの前記出力電位と共に前記遅延量を制御する制御信号を出力する出力端とを含む差動増幅器と、

前記第 1 電流源及び前記カレントミラー回路の前記第 1 経路と等価な接続を実現し、前記差動増幅器の前記負入力端に接続され、前記第 1 ノードに対応するダミーノードを含むダミー部とを有するオフセットキャンセル回路を更に備える、請求項 1 記載の 90° 位相シフタ。

【請求項 5】 前記オフセットキャンセル回路は、前記第 1 ローパスフィルタと前記差動増幅器の前記正入力端との間に介挿され、前記第 1 ローパスフィルタよりも時定数が大きい第 2 ローパスフィルタを更に有する、請求項 4 記載の 90° 位相シフタ。

【請求項 6】 前記第 1 電流源はドレインと、前記第 1 ノードに共通に接続されたソース及びバックゲートと、第 1 バイアスが印加されるゲートとを有する第 1 トランジスタと、

ソースと、前記第 1 トランジスタの前記ドレインに接続されたドレインと、第 2 バイアスが印加されるゲートとを有する第 2 トランジスタとを備え、

前記第 2 電流源はドレインと、前記第 2 ノードに共通に接続されたソース及びバックゲートと、前記第 1 バイアスが印加されるゲートとを有する第 1 トランジスタと、  
前記第 1 電流源の前記第 2 のトランジスタの前記ソースと接続されたソースと、前記第 2 電流源の前記第 1 トランジスタの前記ドレインに接続されたドレインと、前記第 2 バイアスが印加されるゲートとを有する第 2 トランジスタとを備えた、請求項 1 記載の 90° 位相シフタ。

【請求項 7】 前記第 1 電流源は前記第 1 電流源の前記第 1 トランジスタの前記ドレインに接続されたドレインと、前記第 1 電流源の前記第 2 トランジスタの前記ドレインに共通して接続されたソース及びバックゲートと、  
第 3 バイアスが印加されるゲートとを有する第 3 トランジスタを更に備え、

前記第 2 電流源は前記第 2 電流源の前記第 1 トランジスタの前記ドレインに接続されたドレインと、前記第 2 電流源の前記第 2 トランジスタの前記ドレインに共通して接続されたソース及びバックゲートと、前記第 3 バイアスが印加されるゲートとを有する第 3 トランジスタを更に備える、請求項 6 記載の 90° 位相シフタ。

【請求項 8】 第 1 電流源と、

第 2 電流源と、

出力ノードと、

前記第 1 電流源と前記出力ノードとの間に設けられ、第 1 及び第 2 信号の排他的論理和が第 1 論理を採る場合にのみ導通する第 1 スイッチと、

前記第 2 電流源と前記出力ノードとの間に設けられ、前記第 1 及び第 2 信号の排他的論理和が前記第 1 論理と異なる第 2 論理を採る場合にのみ導通する第 2 スイッチと、

前記出力ノードに接続されたローパスフィルタと、

前記ローパスフィルタの出力電位によって制御される遅延量を以て前記第 1 信号を遅延させて前記第 2 信号を出力する遅延部とを備える 90° 位相シフタであって、

前記第 1 スイッチは前記第 1 電流源と前記出力ノードとの間に互いに並列に接続された第 1 及び第 2 直列接続体を有し、

前記第 2 スイッチは前記第 2 電流源と前記出力ノードとの間に互いに並列に接続された第 1 及び第 2 直列接続体を有し、

前記第 1 スイッチの前記第 1 直列接続体は、前記第 1 信号が前記第 1 論理を採る場合に導通する第 1 トランジスタと、前記第 2 信号が前記第 2 論理を採る場合に導通する第 2 トランジスタとの直列接続から成り、

前記第 1 スイッチの前記第 2 直列接続体は、前記第 1 信号が前記第 2 論理を採る場合に導通する第 1 トランジスタと、前記第 2 信号が前記第 1 論理を採る場合に導通す

る第2トランジスタとの直列接続から成り、  
前記第2スイッチの前記第1直列接続体は、前記第1信号が前記第1論理を採る場合に導通する第1トランジスタと、前記第2信号が前記第1論理を採る場合に導通する第2トランジスタとの直列接続から成り、  
前記第2スイッチの前記第2直列接続体は、前記第1信号が前記第2論理を採る場合に導通する第1トランジスタと、前記第2信号が前記第2論理を採る場合に導通する第2トランジスタとの直列接続から成る、 $90^\circ$ 位相シフト。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、信号処理回路、例えば無線信号の受信回路やコンピュータの処理回路などの内部で、入力された信号をその周期の $1/4$ 、位相にして $90^\circ$ の遅延になるように出力する遅延回路（本願では、これを $90^\circ$ 位相シフトと呼ぶ）に関する。

##### 【0002】

【従来の技術】図14は、データS6の遷移と、データS6の遷移の周期、位相と同じタイミングで遷移するクロックS1との関係を示すタイミングチャートである。このようなデータS6及びクロックS1を受ける信号処理回路において、クロックS1の立ち上がりまたは立ち下りの遷移を用いてデータS6をラッチしたい場合、このままではクロックS1が遷移する際にはデータS6が遷移しており、適切にデータS6をラッチすることができない。そこでデータS6に対してクロックS1の位相をずらす必要が生じる。

【0003】図15は、クロックS1の遷移するタイミングをデータS6の遷移するタイミングに対して位相にして $90^\circ$ ずらせたタイミングチャートである。このようにすることで、クロックS1の立ち上がりまたは立ち下りのタイミングが、データS6のアイバターンの中央（データS6の、隣接する遷移のタイミングの中央）となり、クロックS1の遷移を用いたデータS6のラッチは最も確実となる。

【0004】図16は、データS6及びクロックS1を入力するチップ91の入力インタフェースの概要を示す回路図である。データS6、クロックS1はそれぞれ、チップ91外部の伝送路110a、110bを伝搬して、チップ91内部のパッド電極111a、111bに至り、それぞれバッファ112a、112bによってバッファリングされる。その後クロックS1が $90^\circ$ 位相シフト200によって $90^\circ$ 移相され、クロックS2が生成される。

【0005】ラッチ回路113a、113bのいずれのデータ入力端DにもバッファリングされたデータS6が与えられ、いずれのクロック入力端TにもクロックS2が与えられる。ただし、ラッチ回路113aはクロックS2の立ち上がり時にデータS6をラッチし、ラッチ回

路113bはクロックS2の立ち下がり時にデータS6をラッチする。

【0006】図17は、 $90^\circ$ 位相シフト200の構成を例示する回路図である。 $90^\circ$ 位相シフト200はPLL (Phase-Locked Loop) 回路120及び遅延段5を備えている。PLL回路120はVCO回路122、位相比較器121、ローパスフィルタ2を備えている。このPLL回路120により、参照信号S7と位相がロックされた信号S9が生成される。この際にローパスフィルタ2から得られる遅延調節信号S4を遅延段5の遅延調節に採用し、バッファ112bによってバッファリングされたクロックS1は遅延段5で $90^\circ$ 遅れて出力クロックS2となる。

【0007】 $90^\circ$ 位相シフト200では、PLL回路120がロックするときにVCO回路122での遅延が、参照信号S7の周期のちょうど半分（位相にして $180^\circ$ ）になるように、VCO回路122内部のバッファ4の数とローパスフィルタ2からの遅延調節信号S4とが設定される。そして最終段のバッファ4からの一対の出力が正負逆転して最初段のバッファ4の一対の入力へと接続されている。これにより、参照信号S7を与えたときにVCO回路122は安定して発振し、参照信号S7と同じ周期、位相でロックした信号S9を得ることになる。

【0008】そこで、参照信号S7としてクロックS1を採用し、遅延段5がVCO回路122を構成している内部バッファ4の数の半分のバッファ4を備えることにより、クロックS1に対して周期の $1/4$ だけずれた信号をクロックS2として生成することができる。つまり遅延段5で生じる遅延は、PLL回路120がロックしている限りプロセスやその他の条件に依存せず位相にして $90^\circ$ に保持される。

##### 【0009】

【発明が解決しようとする課題】しかし、一般にPLL回路には不安定化の問題や、VCOが必要なことから生じるハード量の増大や消費電力の増大という問題があった。

【0010】かかる問題を解消しようとして、PLL回路120を用いずに $90^\circ$ の移相を行う技術も提案されている。図18は図16において $90^\circ$ 位相シフト200と置換されて使用される $90^\circ$ 位相シフト201の構成を例示する回路図である。 $90^\circ$ 位相シフト201の構成は、 $90^\circ$ 位相シフト200の構成中のVCO回路122を除去し、位相比較器121を $90^\circ$ 位相検出回路100に置き換えた構成を有している。つまり、 $90^\circ$ 位相シフト201はDLL (Delay-Locked Loop) 回路を構成している。

【0011】図19は $90^\circ$ 位相検出回路100の構成を例示する回路図である。 $90^\circ$ 位相検出回路100はEXOR回路10aとチャージポンプ回路11とを備え

10

20

30

40

50

ている。EXOR回路10aによって得られた、クロックS1、S2の排他的論理和は、チャージポンプ回路11において電流の態様を採るUP/DOWN信号S3に変換される。UP/DOWN信号S3を供給するために、それぞれバイアス信号によって電流量が決定される電流源がチャージポンプ回路11に設けられている。

【0012】UP/DOWN信号S3はローパスフィルタ2に与えられてその電流量が積分され、直流的な電圧信号に変換されて遅延段5への遅延調節信号S4が得られる。この遅延調節信号S4によって、クロックS1からクロックS2を得る為の遅延に対してフィードバックが掛けられる。

【0013】しかしEXOR回路10aでは、クロックS1がトランスファークラックまたはNOT回路を通過してチャージポンプ回路11に至るのに対し、クロックS2はトランスファークラックのON/OFFを司るゲートにかかるだけなので、クロックS1、S2はEXOR回路10a内で異なる入力負荷を受けることになる。このため、クロックS2がクロックS1に対して90°からずれた位相で平衡してしまうという問題があった（このずれのことを以下では位相オフセットと呼ぶ）。

【0014】これを解決するため、図20のように構成されたEXOR回路10bをEXOR回路10aの代わりに採用することも考えられる。この構成ではクロックS1、S2に対する入力負荷が等しくなるが、複合ゲートを用いているためにトランジスタ数が多く必要となり、回路規模が大きくなるという問題が生じてしまう。

【0015】本発明は上記の問題点を解決するためになされたもので、回路構成の簡単な90°位相シフタを得ることを目的とする。また、位相がロックされるべき2つの信号についての負荷を均等にした位相シフタを得ることをも目的とする。更に、位相オフセットの改善をも目的としている。

【0016】

【課題を解決するための手段】この発明のうち、請求項1にかかるものは、第1及び第2ノードと、前記第1ノードに第1電流を供給する第1電流源と、前記第2ノードに前記第1電流を供給する第2電流源と、前記第1ノードから電流を引き抜く第1経路と、前記第2ノードから電流を引き抜く第2経路とを含むカレントミラー回路とを有する第1電流制御回路と、第1及び第2信号の排他的論理和が第1論理を採る場合にのみ前記第1ノードから第2電流を引き抜く第1部分と、前記第1及び第2信号の排他的論理和が前記第1論理と異なる第2論理を採る場合にのみ前記第2ノードから前記第2電流を引き抜く第2部分とを有する第2電流制御回路と、前記第2ノードに接続された第1ローパスフィルタと、前記第1ローパスフィルタの出力電位によって制御される遅延量を以て前記第1信号を遅延させて前記第2信号を出力する遅延部とを備える90°位相シフタである。

【0017】この発明のうち、請求項2にかかるものは、請求項1記載の90°位相シフタであって、前記第1ローパスフィルタは前記第2ノードに接続された第1端と、前記第1ローパスフィルタの前記出力電位が得られる第2端とを有する抵抗と、前記抵抗の前記第1端に接続された第1端と、第2端とを有する第1コンデンサと、前記抵抗の前記第2端に接続された第1端と、前記第1コンデンサの前記第2端に接続された第2端とを有し、前記第1コンデンサよりも容量値が大きい第2コンデンサとを備える。

【0018】この発明のうち、請求項3にかかるものは、請求項2記載の90°位相シフタであって、前記第1ローパスフィルタは前記第2コンデンサの初期状態を充電状態とする電流供給機構を更に備える。

【0019】この発明のうち、請求項4にかかるものは、請求項1記載の90°位相シフタであって、前記第1ローパスフィルタの前記出力電位を入力信号とする正入力端と、負入力端と、前記第1ローパスフィルタの前記出力電位と共に前記遅延量を制御する制御信号を出力する出力端とを含む差動増幅器と、前記第1電流源及び前記カレントミラー回路の前記第1経路と等価な接続を実現し、前記差動増幅器の前記負入力端に接続され、前記第1ノードに対応するダミーノードを含むダミー部とを有するオフセットキャンセル回路を更に備える。

【0020】この発明のうち、請求項5にかかるものは、請求項4記載の90°位相シフタであって前記オフセットキャンセル回路は、前記第1ローパスフィルタと前記差動増幅器の前記正入力端との間に介挿され、前記第1ローパスフィルタよりも時定数が大きい第2ローパスフィルタを更に有する。

【0021】この発明のうち、請求項6にかかるものは、請求項1記載の90°位相シフタであって、前記第1電流源はドレインと、前記第1ノードに共通に接続されたソース及びバックゲートと、第1バイアスが印加されるゲートとを有する第1トランジスタと、ソースと、前記第1トランジスタの前記ドレインに接続されたドレインと、第2バイアスが印加されるゲートとを有する第2トランジスタとを備え、前記第2電流源はドレインと、前記第2ノードに共通に接続されたソース及びバックゲートと、前記第1バイアスが印加されるゲートとを有する第1トランジスタと、前記第1電流源の前記第2のトランジスタの前記ソースと接続されたソースと、前記第2電流源の前記第1トランジスタの前記ドレインに接続されたドレインと、前記第2バイアスが印加されるゲートとを有する第2トランジスタとを備える。

【0022】この発明のうち、請求項7にかかるものは、請求項6記載の90°位相シフタであって、前記第1電流源は前記第1電流源の前記第1トランジスタの前記ドレインに接続されたドレインと、前記第1電流源の前記第2トランジスタの前記ドレインに共通して接続さ

れたソース及びバックゲートと、第3バイアスが印加されるゲートとを有する第3トランジスタを更に備え、前記第2電流源は前記第2電流源の前記第1トランジスタの前記ドレインに接続されたドレインと、前記第2電流源の前記第2トランジスタの前記ドレインに共通して接続されたソース及びバックゲートと、前記第3バイアスが印加されるゲートとを有する第3トランジスタを更に備える。

【0023】この発明のうち、請求項8にかかるものは、第1電流源と、第2電流源と、出力ノードと、前記第1電流源と前記出力ノードとの間に設けられ、第1及び第2信号の排他的論理和が第1論理を採る場合にのみ導通する第1スイッチと、前記第2電流源と前記出力ノードとの間に設けられ、前記第1及び第2信号の排他的論理和が前記第1論理と異なる第2論理を採る場合にのみ導通する第2スイッチと、前記出力ノードに接続されたローパスフィルタと、前記ローパスフィルタの出力電位によって制御される遅延量を以て前記第1信号を遅延させて前記第2信号を出力する遅延部とを備える90°位相シフタであって、前記第1スイッチは前記第1電流源と前記出力ノードとの間に互いに並列に接続された第1及び第2直列接続体を有し、前記第2スイッチは前記第2電流源と前記出力ノードとの間に互いに並列に接続された第1及び第2直列接続体を有し、前記第1スイッチの前記第1直列接続体は、前記第1信号が前記第1論理を採る場合に導通する第1トランジスタと、前記第2信号が前記第2論理を採る場合に導通する第2トランジスタとの直列接続から成り、前記第1スイッチの前記第2直列接続体は、前記第1信号が前記第2論理を採る場合に導通する第1トランジスタと、前記第2信号が前記第1論理を採る場合に導通する第2トランジスタとの直列接続から成り、前記第2スイッチの前記第1直列接続体は、前記第1信号が前記第1論理を採る場合に導通する第1トランジスタと、前記第2信号が前記第1論理を採る場合に導通する第2トランジスタとの直列接続から成り、前記第2スイッチの前記第2直列接続体は、前記第1信号が前記第2論理を採る場合に導通する第1トランジスタと、前記第2信号が前記第2論理を採る場合に導通する第2トランジスタとの直列接続から成る、90°位相シフタである。

#### 【0024】

【発明の実施の形態】実施の形態1. 図1は本発明の実施の形態1にかかる90°位相シフタのうち、図18に示された90°位相検出回路100に置換して用いられる90°位相検出回路101の構成を示す回路図である。

【0025】90°位相検出回路101は、EXOR部13と電流制御部14とを備えている。EXOR部13は互いに同特性のNchトランジスタMN1～MN8と、NchトランジスタMN9とで構成されている。ま

た電流制御部14は、互いに同特性のPchトランジスタMP1、MP2及び互いに同特性のNchトランジスタMN10とMN11で構成されている。

【0026】EXOR部13において、トランジスタMN1、MN3のドレイン同士が、トランジスタMN5、MN7のドレイン同士が、それぞれ共通に接続されている。またトランジスタMN1のソースとトランジスタMN2のドレインが、トランジスタMN3のソースとトランジスタMN4のドレインが、それぞれ接続されている。またトランジスタMN5のソースとトランジスタMN6のドレインが、トランジスタMN7のソースとトランジスタMN8のドレインが、それぞれ接続されている。そしてトランジスタMN2、MN4、MN6、MN8のソースは共通して接続されている。クロックS1はトランジスタMN1、MN5のゲートに、その反転信号S1BはトランジスタMN3、MN7のゲートに、クロックS2はトランジスタMN4、MN6のゲートに、その反転信号S2BはトランジスタMN2、MN8のゲートに、それぞれ与えられている。トランジスタMN9のドレインはトランジスタMN2、MN4、MN6、MN8のソースに共通に接続され、トランジスタMN9のソースは接地されている。またトランジスタMN9のゲートにはバイアス電位V<sub>11</sub>が印加されている。

【0027】電流制御部14において、トランジスタMP1、MP2のソースには共通して電源電位V<sub>1</sub>が、ゲートにはバイアス電位V<sub>11</sub>が、それぞれ与えられている。トランジスタMN10、MN11のソースは共通して接地されている。トランジスタMP1のドレインはトランジスタMN10のドレイン及びゲートと共に、ノードKにおいてトランジスタMN1、MN3のドレインに共通に接続されている。またトランジスタMP2のドレインはトランジスタMN11のドレインと共に、ノードLにおいてトランジスタMN5、MN7のドレインに共通に接続されている。ノードLに流入/流出する電流としてUP/DOWN信号S3が得られる。

【0028】EXOR部13において、クロックS1、S2が同じ論理値を採る場合にはトランジスタMN1、MN2が構成する直列接続体N1では何れか一方のトランジスタがOFFする。同様にトランジスタMN3、MN4が構成する直列接続体N2でも何れか一方のトランジスタがOFFする。従って、直列接続体N1、N2が並列接続された枝は全体としてOFFしている。一方、トランジスタMN5、MN6が構成する直列接続体N3では、クロックS1、S2が共にHighの場合にトランジスタMN5、MN6はともにONする。またトランジスタMN7、MN8が構成する直列接続体N4では、クロックS1、S2が共にLowの場合にトランジスタMN5、MN6が共にONする。従って、直列接続体N3、N4が並列接続された枝は全体としてONしている。

【0029】クロックS1, S2が異なる論理値を採る場合には直列接続体N3, N4では何れか一方のトランジスタがOFFし、直列接続体N3, N4が並列接続された枝は全体としてOFFしている。一方、直列接続体N1, N2のいずれか一方がONする。

【0030】以上のように、直列接続体N1, N2の並列接続はクロックS1, S2の排他的論理和が“H”の場合にのみ導通し、直列接続体N3, N4の並列接続はクロックS1, S2の排他的論理和が“L”の場合にのみ導通する。

【0031】図2はクロックS1, S2が同じ論理値を採る場合の90°位相検出回路101の等価回路を示す回路図である。図において、上向きの矢印が付加されたゲートは、論理“H”が与えられていることを示す（以下の図面においても同様）。トランジスタMP1, MP2のゲートには等しくバイアス電位 $V_{bi}$ が印加され、ドレインは等しく電源電位 $V_{DD}$ が印加されているので、どちらのトランジスタMP1, MP2にも等しいソースゲート間電圧がかかっている。このため、トランジスタMP1, MP2のいずれもが等しく電流 $I_i$ を流す。

【0032】トランジスタMN10, MN11はカレントミラー回路を構成しており、しかも直列接続体N1, N2が並列接続された枝は全体としてOFFしているので、トランジスタMP1が流す電流 $I_i$ と等しい電流がトランジスタMN10, MN11に流れる。一方、トランジスタMN9は、バイアス電位 $V_{bi}$ に基づいて電流 $I_i$ を流すので、ローパスフィルタ2へとつながっているパスから、UP/DOWN信号S3として電流 $I_i$ が電流制御部14へと引き込まれる。以下、このように電流 $I_i$ が電流制御部14へと引き込まれる期間をダウン期間と称する。

【0033】図3はクロックS1, S2が異なる論理値を採る場合の90°位相検出回路101の等価回路を示す回路図である。トランジスタMN10のドレイン側からトランジスタMN9へ向かうパスが生じており、トランジスタMP1が電流 $I_i$ を流し、トランジスタMN9が電流 $I_i$ を流していることにより、トランジスタMN10, MN11には電流 $(I_i - I_i)$ が流れることになる。トランジスタMP2は電流 $I_i$ を流すので、UP/DOWN信号S3として電流 $I_i$ が電流制御部14からローパスフィルタ2へと流出する。以下、このように電流 $I_i$ がローパスフィルタ2へと流出する期間をアップ期間と称する。

【0034】図4は、以上のようにして生成されるUP/DOWN信号S3をクロックS1, S2と対比づけ、遅延調節信号S4をも追記したタイミングチャートである。但し、電流制御部14を基準として考えてUP/DOWN信号S3として電流がローパスフィルタ2へと流出する方向を正とし、ローパスフィルタ2から流入する方向を負としている。本実施の形態の90°位相検出回

路101は、図18に示された90°位相検出回路100に置換して用いることができるので、以下では図18をも参照して説明する。

【0035】遅延段5の遅延値が90°未満である状態から位相の調整を開始する場合を考えると、90°位相検出回路101からのUP/DOWN信号S3はダウン期間の方がアップ期間よりも長くなる。従ってローパスフィルタ2においてUP/DOWN信号S3を積分して直流の電圧に変換して得られる遅延調節信号S4は、アップ期間において若干の例外はあるものの、平均的には低下する。よって遅延段5の遅延値は増大し、周期の1/4に達したときに90°位相検出回路101のUP/DOWN信号S3のアップ期間とダウン期間とは等しくなる。つまり、クロックS2の位相がクロックS1のそれよりも90°遅れて平衡する。

【0036】遅延段5の遅延値が90°より大きな値から位相の調整を開始する場合には、UP/DOWN信号S3はアップ期間の方がダウン期間よりも長くなる。従って遅延調節信号S4はダウン期間において若干の例外はあるものの、平均的には上昇し、遅延値は減少する傾向を招く。そして先の場合と同様、クロックS2の位相がクロックS1のそれよりも90°遅れて平衡する。

【0037】図5は遅延段5の構成を例示する回路図である。遅延段5は遅延調節回路50と遅延バッファ部51とを備えている。遅延調節回路50はNchトランジスタMN12, MN13と、PchトランジスタMP7, MP8と、抵抗R3とを備えている。トランジスタMN12のソースは抵抗R3を介して接地されており、ドレインはトランジスタMP7のドレイン及びゲートに共通に接続されている。トランジスタMP7, MP8のソースには共通して電源電位 $V_{DD}$ が与えられており、トランジスタMP8のドレインはトランジスタMN13のゲート及びドレインに接続されている。トランジスタMN13のソースは接地されている。

【0038】遅延バッファ部51は高い電位側へとPchトランジスタによって電流が供給され、低い電位側からNchトランジスタによって電流が引き抜かれるインバータ（本発明では「遅延インバータ」と称す）の複数が直列に接続された構成を有しており、最初段の遅延インバータには遅延の対象となるクロックS1が与えられている。遅延インバータに供給される電流を規定するトランジスタは、トランジスタMP8あるいはMN13と共にカレントミラー回路を構成しているため、トランジスタMN12に流れる電流によって各遅延インバータにおける遅延量が決定される。トランジスタMN12のゲートには遅延調節信号S4が与えられるので、遅延段5全体としては遅延調節信号S4によって遅延段5の遅延量が制御されることになる。勿論、トランジスタMN12に流れる電流は、抵抗R3の抵抗値を変化させて調節することもできる。



【0039】図6は、ローパスフィルタ2の構成を例示する回路図である。抵抗R1の第1端（図中左側の端）にはコンデンサCP0の一端が、第2端（図中右側の端）にはコンデンサCP1の一端が、それぞれ接続されており、コンデンサCP0、CP1の他端は共通して接地されている。UP/DOWN信号S3は抵抗R1の第1端に与えられる。コンデンサCP0の容量値はコンデンサCP1の容量値と比較して非常に小さく設定される。

【0040】簡単の為にコンデンサCP0を無視して考えると、UP/DOWN信号S3によるローパスフィルタ2への電流 $I_1$ の流入/流出は、主として抵抗R1及びコンデンサCP1で積分され、ほぼ直流の電圧に変換されて遅延調節信号S4を得る。

【0041】コンデンサCP0の機能は、電流 $I_1$ が常にローパスフィルタ2へ流入/流出していることによる遅延調節信号S4の変動を小さくするものである。定性的に言えば、電流 $I_1$ の高周波成分（ジッタ）をコンデンサCP0と抵抗R1で決定される時定数で抑制し、遅延調節回路50のトランジスタMN12のゲートに与えられる電圧の変動を抑制するのである。この場合の時定数は、コンデンサCP0の容量値がコンデンサCP1の容量値と比較して非常に小さいので、コンデンサCP1の値にはほとんど依存しない。但し、本実施の形態の実施にコンデンサCP0の存在が必須でないことは明白である。

【0042】なお、抵抗R1の第2端に対し、リセット信号S8に基づいてコンデンサCP1の電位を電源電位V<sub>i</sub>に設定する機能を加えてもよい。具体的にはコンデンサCP1が電源電位V<sub>i</sub>以上に充電されていた場合に備えての保護ダイオードD1と、リセット信号S8に基づいてONするスイッチSWとを電源電位V<sub>i</sub>を与える電位点と抵抗R1の第2端との間に直列に設ければ上記機能を実現できる。かかる機能を付加することにより、初期状態でリセット信号S8を入力して、コンデンサCP1を充電し、トランジスタMN12に電流を最大限、流させ、遅延段5の遅延値を必ず最小にした状態からスタートすることができる。

【0043】以上のように、本実施の形態によって実現される90°位相シフトでは、PLL回路120ではなくDLL回路201を採用したので、VCO回路122の発振周波数とクロックS1との周波数に差がある場合に誤差が積算されてしまうことが回避される。DLL回路201ではクロックS1と、これを遅延して得られるクロックS2とを単に比較しているので、上記のような誤差の積算は生じず、安定性に優れるという利点がある。

【0044】更に90°位相シフトとして採用する90°位相検出回路101のEXOR部13は従来のEXOR回路10aを用いた場合に生じていたような入力負荷

の差による位相オフセットの抑制を、複合ゲートによるEXOR回路10bと比較して少ないトランジスタ数で実現することができ、回路規模は増大しない。また、90°位相検出回路101の電流制御部14は90°位相検出回路100が必要とするチャージポンプ回路11と比較して回路規模は小さいか、あるいは大きくてもその差は少ない。結局、DLL回路である90°位相シフトを構成する90°位相検出回路100を90°位相検出回路101で置換して得られる構成により、回路規模を増大させることなく、位相オフセットを抑制することができる。

【0045】図7はクロックS1の“H”の期間が“L”の期間よりも長い場合のクロックS2の遷移を示すタイミングチャートであり、図8はクロックS1の“H”の期間が“L”の期間よりも短い場合のクロックS2の遷移を示すタイミングチャートである。図中、期間①～④は、それぞれクロックS1、S2が（“H”，“L”）、（“H”，“H”）、（“L”，“H”）、（“L”，“L”）の値を採る期間を示している。

【0046】クロックS1、S2の排他的論理和に基づいて遅延調節信号S4が制御されるので、期間①と期間③の合計と、期間②と期間④の合計とが等しくなるときにクロックS2はクロックS1に対してロックする。しかもクロックS2はクロックS1の遷移に対して90°遅れるので、期間①、③はいずれも位相にして90°の期間が保たれ、期間②と期間④の合計は位相にして180°の期間が保たれる。

【0047】クロックS1の“H”の期間が“L”の期間よりも長い場合には、クロックS2の立ち上がりエッジはクロックS1の“H”の期間の中心 $\alpha$ よりも $\delta 1$ だけ早いタイミングに、立ち下がりエッジは“L”の期間の中心 $\beta$ よりも $\delta 2$ だけ遅いタイミングに、それぞれ位置する。また、クロックS1の“H”の期間が“L”の期間よりも短い場合には、クロックS2の立ち上がりエッジはクロックS1の“H”の期間の中心 $\alpha$ よりも $\delta 3$ だけ遅いタイミングに、立ち下がりエッジは“L”の期間の中心 $\beta$ よりも $\delta 4$ だけ早いタイミングに、それぞれ位置する。つまりクロックS1のデューティが50%でなくても、クロックS2はクロックS1と同じデューティで遷移し、90°の遅延が行われる。

【0048】実施の形態2. 図9は本発明の実施の形態2にかかる90°位相シフトのうち、図18に示された90°位相検出回路100に置換して用いられる90°位相検出回路102の構成を示す回路図である。

【0049】90°位相検出回路102は、EXOR部13a、13bと、電流制御部14a、14bとを備えている。EXOR部13aは、クロックS1、S2の排他的論理和が“H”の場合にのみ導通し、EXOR部13bはクロックS1、S2の排他的論理和が“L”の場合にのみ導通する。

10

20

30

40

50

【0050】具体的には、EXOR部13aは同特性のPchトランジスタMP3～MP6を備えており、トランジスタMP3、MP5のソースが、トランジスタMP0のドレインに共通に接続され、トランジスタMP3、MP5のドレインはそれぞれトランジスタMP4、MP6のソースに接続されている。また、トランジスタMP4、MP6のドレイン同士が接続されている。つまりトランジスタMP3、MP4が構成する直列接続体P1と、トランジスタMP5、MP6が構成する直列接続体P2とが、互いに並列に接続されてEXOR部13aを構成している。また、EXOR部13bは、実施の形態1で示された直列接続体N3、N4が互いに並列に接続されて構成されている。

【0051】トランジスタMP6、MN5のゲートには共通してクロックS1が、トランジスタMP4、MN7のゲートにはその反転信号S1Bが、トランジスタMP3、MN6のゲートにはクロックS2が、トランジスタMP5、MN8のゲートにはその反転信号S2Bが、それぞれ与えられる。

【0052】電流制御部14aはPchトランジスタMP0で構成されており、トランジスタMP0のソースには電源電位V<sub>1</sub>が、ゲートにはバイアス電位V<sub>11</sub>が、それぞれ与えられ、ドレインにはトランジスタMP3、MP5のソースが共通して接続される。また電流制御部14bはNchトランジスタMN9で構成されており、トランジスタMN9のソースは接地され、ゲートにはバイアス電位V<sub>11</sub>が与えられ、ドレインにはトランジスタMN6、MN8のソースが共通して接続される。

【0053】そしてトランジスタMP4、MP6、MN5、MN7のドレインが共通して接続されるノードWからUP/DOWN信号S3が得られる。

【0054】ここで、トランジスタMP0、MN9が共に電流I<sub>1</sub>を流すようにバイアス電位V<sub>11</sub>、V<sub>11</sub>を与えることにより、実施の形態1と同様にしてローパスフィルタ2へ電流の態様を採るUP/DOWN信号S3を出力する。

【0055】その動作を説明すると、クロックS1、S2が等しい論理値を採る場合には、EXOR部13a、13bはそれぞれOFF、ONすることになる。よって電流I<sub>1</sub>はローパスフィルタ2からUP/DOWN信号S3として流れ込む。一方、クロックS1、S2が異なる論理値を採る場合には、EXOR部13a、13bはそれぞれON、OFFすることになる。よって電流I<sub>1</sub>はローパスフィルタ2へとUP/DOWN信号S3として流れ出す。

【0056】実施の形態2にかかる90°位相検出回路102を用いた90°位相シフタでは、実施の形態1にかかる90°位相検出回路101を採用した場合の効果に加えて、UP/DOWN信号S3を取り出す点から高い電位側を全てPchトランジスタで構成し、低い電位

側を全てNchトランジスタで構成し、いわゆるCMOS構成を採っているので、回路規模をさらに削減できる。しかも、90°位相検出回路101では常時、電源電位V<sub>1</sub>と接地との間に間に流れていた電流が殆どなくなり、消費電力を低減できるという効果も付加される。

【0057】実施の形態3. 図10は本発明の実施の形態3にかかる90°位相シフタの主要部を示す回路図である。本実施の形態の構成は、実施の形態1で示された構成に対してオフセットキャンセル回路3を追加して得られる。

【0058】オフセットキャンセル回路3はローパスフィルタ2から得られた遅延調節信号S4に基づいてオフセットキャンセル信号S5を生成する。オフセットキャンセル信号S5は、遅延段5の遅延調節回路50が有する抵抗R3の値を調節する。

【0059】90°位相検出回路101において、クロックS2がクロックS1に対して位相がロックした場合（即ち平衡に達したとき）、トランジスタMP1、MN1、MN3、MN10のドレインが共通に接続されたノードKと、トランジスタMP2、MN5、MN7、MN11のドレインが共通に接続されたノードLとでは、電位がほぼ等しくなっているはずである。

【0060】しかし、温度等によりわずかに差がある場合、トランジスタMN10、MN11のドレインの電位が異なることから、両トランジスタが流す電流にわずかな差が生じることになる。この結果、トランジスタMN10、MN11で構成されるカレントミラー回路のミラー効率が低下し、遅延段5の遅延値は90°からある程度の位相オフセットを持って平衡に達する場合がある。そして平衡に達しているためノードK、Lの電位は上昇も下降もせず、位相オフセットが維持されたまま90°位相検出回路101が動作し続けることになる。

【0061】オフセットキャンセル回路3は、一層正確に90°だけ位相を遅延させるために設けられている。オフセットキャンセル回路3において、抵抗R2はその一端に遅延調節信号S4を受け、他端はノードCにおいてコンデンサCP2の一端と差動アンプ30の正入力端とが接続されている。コンデンサCP2の他端は接地されている。差動アンプ30の負入力端はノードDにおいてトランジスタMP21、MN20のドレインが共通して接続され、出力端はオフセットキャンセル信号S5を出力する。トランジスタMP21のソースには電源電位V<sub>1</sub>が与えられ、トランジスタMN20のソースは接地される。また、トランジスタMN20のゲートとドレインは共通に接続され、トランジスタMP21のゲートにはバイアス電位V<sub>11</sub>が与えられている。ここでトランジスタMP21、MN20の特性はそれぞれトランジスタMP1、MN10と同一に揃えられており、トランジスタMP21、MN20は、90°位相検出回路101のトランジスタMP1、MN10のいわばダミーとして設

けられている。

【0062】差動アンプ30はノードLの電位を間接的にノードCにおいて受け、ノードDの電位と比較する。ノードDの電位はノードKの電位と等しいと考えられるので、オフセットキャンセル信号S5はノードK、Lの電位差をキャンセルするように抵抗R3の値を調整することができる。

【0063】ノードLの電位は、ローパスフィルタ2と、抵抗R2、CP2とで構成されるローパスフィルタ2bとの2つのローパスフィルタを経由してノードCへと伝達される。ローパスフィルタ2はコンデンサCP1によりノードLを流れる電荷の量を平均化し、それにより直流的な電圧信号である遅延調節信号S4を発生させる。この信号S4により遅延段5が制御された後、新たな平衡状態が生じそれに伴ってノードLの電位もまた変化する。ここで、コンデンサCP2の値をコンデンサCP1の値よりも大きく設定するなどして、ローパスフィルタ2bの時定数をローパスフィルタ2の時定数よりも大きくすることで、ローパスフィルタ2bの出力であるノードCの電位の変化を、ローパスフィルタ2の入力であるノードLの電位の変化よりもゆっくりとしたものとする20ことができる。このような構成を採ることにより、一旦遅延が制御された後で、差動アンプ30はゆっくりと抵抗R3の抵抗値の制御を行ない、平衡状態をほぼ維持しつつ、トランジスタMN12のゲート電位（つまりローパスフィルタ2の出力端の電位）がノードDの電位と等しくなるようにすることができる。

【0064】ちなみに、トランジスタMP21、MN20はトランジスタMP1、MN10のダミーとして働くので、ノードLからの信号が二つのローパスフィルタを通過してノードCに至っていることと同様に、ノードDにも二組のローパスフィルタが必要ではないかという懸念が生じるかもしれない。しかし平衡状態になったときにはノードLからローパスフィルタ2へ流れ込む電流と流れ出す電流とは同じ値になるので、ローパスフィルタ2の機能によってトランジスタMN12のゲートには平均的にみて電流が流れない状態になっているといえる。つまりノードCに接続されている抵抗R2にも、電流が流れることによる電圧降下は生じない。一方、ノードDも差動アンプ30という、入力インピーダンスの高い負入力端に接続されているため、電流は流れない。よってノードDに対して二組のローパスフィルタを設ける必要はない。

【0065】図11は抵抗R3の構成を例示する回路図である。固定抵抗R4とNchトランジスタMN16の直列接続によって抵抗R3が構成されている。トランジスタMN16のゲート電位にオフセット補正信号S5を与えてトランジスタMN16のON抵抗を変化させる。

【0066】以上のように、本実施の形態ではノードK、Lの電位差を間接的にノードC、Dで検出し、その

電位差に基づいてトランジスタMN12の流す電流を制御するフィードバックを行うので、ロック時においてノードLの電位をノードKの電位にほぼ一致させることができ、位相オフセットの問題を解決することができる。

【0067】実施の形態4. 図12は本発明の実施の形態4にかかる90°位相シフトのうち、図18に示された90°位相検出回路100に置換して用いられる90°位相検出回路103の構成を示す回路図である。90°位相検出回路103は実施の形態1において示された90°位相検出回路101における電流制御部14を電流制御部15に置換した構成を有している。

【0068】電流制御部15は電流制御部14に対し、2つのNchトランジスタMN14、15を追加した構成を備えている。具体的には、ノードEにおいてトランジスタMN10のドレインとトランジスタMN14のソース及びバックゲートが、ノードAにおいてトランジスタMP1のドレインとトランジスタMN14のドレインとが、それぞれ接続されている。またノードFにおいてトランジスタMN11のドレインとトランジスタMN15のソース及びバックゲートが、ノードBにおいてMP2のドレインとトランジスタMN15のドレインとが、それぞれ接続されている。ノードE、FにはEXOR部13が接続される。つまり、トランジスタMP1、MN14を一つの電流源として、またトランジスタMP2、MN15を他の一つの電流源として、それぞれ把握することができる。

【0069】このような構成において、トランジスタMN14、MN15のゲートに共通にバイアス電位V<sub>bi</sub>を与えることにより、以下のようにしてノードEとノードFの間の電位差を抑えることができる。

【0070】ノードA、ノードB、ノードE、ノードFの各電位をそれぞれVa、Vb、Ve、Vfとする。図12の回路が動作しているときは、EXOR部13を構成している四本の直列接続体N1～N4のうちのどれか一本を介して常にグラウンドへ向かう電流が流れており、瞬間的にはノードEとノードFでの電流の値は異なっている。しかし平均的に見た場合、平衡状態にあればノードEからもノードFからもEXOR部13へ向けて流れる電流は同じ値になるといえる。またノードBからローパスフィルタ2へ流れる電流も瞬間的には流入、流出のどちらかになっているのだが、平均的にはローパスフィルタ2へは電流は流れないことになる。

【0071】するとトランジスタMN14、MN15に流れる電流は平均して等しいことになる。この電流をI<sub>1</sub>とする。よって、数1、数2が成り立つ（例えばグレイ&メイヤ著“アナログ集積回路設計技術（第二版）上”培風館、p.62参照）。

【0072】

【数1】

17

18

$$I_{O'} = \frac{k}{2} \frac{W}{L} (V_{BN2} - V_e - V_{TH})^2 (1 + \lambda(V_a - V_e))$$

【0073】

【数2】

$$I_{O'} = \frac{k}{2} \frac{W}{L} (V_{BN2} - V_f - V_{TH})^2 (1 + \lambda(V_b - V_f))$$

【0074】但し、 $k$ はゲート容量と電荷の移動度の積、 $W$ と $L$ は各々トランジスタのゲート幅とゲート長、 $V_{TH}$ はトランジスタのしきい値電圧、 $\lambda$ は短チャネル効果をそれぞれ示している。また、トランジスタMN14、MN15のソースとバックゲート電位とが等しいので、トランジスタMN14とMN15の基板効果による

しきい値の差は無視している。

【0075】 $V_i = V_i + \delta V_{i1}$ 、 $V_j = V_j + \delta V_{j1}$ として数1、数2を書き換えて、

【0076】

【数3】

$$I_{O'} = \frac{k}{2} \frac{W}{L} (V_{BN2} - V_e - V_{TH})^2 (1 + \lambda(V_a - V_e))$$

【0077】

【数4】

$$I_{O'} = \frac{k}{2} \frac{W}{L} (V_{BN2} - V_e - V_{TH} - \delta V_{ef})^2 (1 + \lambda(V_a - V_e - \delta V_{ef} + \delta V_{ab}))$$

【0078】を得る。更に数3と数4の差をとり、 $\delta V_{i1}$ と $\delta V_{j1}$ の積または各々の二乗の項を無視することにより、以下の関係式が求められる。

【0079】

【数5】

$$\frac{\delta V_{ef}}{\delta V_{ab}} = \frac{\lambda(V_{BN2} - V_e - V_{TH})}{2(1 + \lambda(V_a - V_e)) + \lambda(V_{BN2} - V_e - V_{TH})}$$

【0080】上記文献によれば、 $\lambda$ は通常0.03～0.005 $V^{-1}$ の値を持つことから、数5の値は1/100以下の値となる。

【0081】以上のことから、この90°位相検出回路103が平衡状態に達し、UP/DOWN信号S3を出力するノードBがそれとペアとなるノードAの電位と異なっている、カレントミラーを構成するトランジスタMN10、MN11のドレイン部であるノードEとノードFの間には電位差はほとんどないことができる。よって、両方のトランジスタを流れる電流を一致させることができ、90°位相検出回路103のオフセットを抑制することができる。

【0082】実施の形態5。図13は本発明の実施の形態5にかかる90°位相シフトのうち、図18に示された90°位相検出回路100に置換して用いられる90°位相検出回路104の構成を示す回路図である。90°位相検出回路103は実施の形態4において示された90°位相検出回路103における電流制御部15を電流制御部16に置換した構成を有している。

【0083】電流制御部16は電流制御部15に対し、2つのPchトランジスタMP9、MP10を追加した構成を備えている。具体的には、ノードGにおいてトランジスタMP1のドレインとトランジスタMP9のソース及びバックゲートが、ノードAにおいてトランジスタMP9のドレインとトランジスタMN14のドレインとが、それぞれ接続されている。またノードHにおいてトランジスタMP2のドレインとトランジスタMP10のソース及びバックゲートが、ノードBにおいてMP10

のドレインとトランジスタMN15のドレインとが、それぞれ接続されている。つまり、トランジスタMP1、MP9、MN14を一つの電流源として、またトランジスタMP2、MP10、MN15を他の一つの電流源として、それぞれ把握することができる。

【0084】このような構成において、トランジスタMP9、MP10のゲートに共通にバイアス電位 $V_{i11}$ を与える。実施の形態4に示された電流制御部15においては、ノードAとノードBの間に電位差があるときにトランジスタMP1、MP2を流れる電流もドレイン電圧の違いにより若干差が生じることになる。しかし、本実施の形態では実施の形態4と同じ原理により、トランジスタMP9、MP10を挿入することで電流制御部16のノードGとノードHの間の電位差を抑制することができるので、さらに高精度のオフセットキャンセル効果が実現できる。

【0085】

【発明の効果】この発明のうち請求項1にかかる90°位相シフトによれば、第1及び第2信号が異なる論理を採る時点では第1部分によって第1ノードから第2電流が引き抜かれるので、カレントミラー回路の第2経路には第1電流よりも第2電流の分だけ少ない電流が流れる。一方、第2電流源は第2ノードに第1電流を供給するので、第2電流が第2ノードから第1ローパスフィルタへと流出する。逆に第1及び第2信号が等しい論理を採る時点では第2部分によって第2ノードから第2電流が引き抜かれる。しかし、第1ノードからは電流が引き抜かれず、カレントミラー回路の第2経路には第1電流

が流れている。従って、第2電流が第2ノードへと第1ローパスフィルタから流入する。このような電流の流入は第1ローパスフィルタにおいて積分され、遅延部の遅延量を制御する。遅延部では第1信号を遅延させて第2信号を生成するので、第1信号と第2信号とは $90^\circ$ の位相差を保ってロックするようにフィードバック制御が行われる。

【0086】この発明のうち請求項2にかかる $90^\circ$ 位相シフトによれば、第2ノードから第1ローパスフィルタに対して流入する第2電流のジッタが、第1コンデ

ンサと抵抗とで決定される時定数で抑制される。

【0087】この発明のうち請求項3にかかる $90^\circ$ 位相シフトによれば、第1ローパスフィルタの出力電位を、初期状態において大きな値にすることにより、第2信号を得るための遅延値を小さくしてロックへの移行動作を行うことができる。

【0088】この発明のうち請求項4にかかる $90^\circ$ 位相シフトによれば、ダミー部及び第1ローパスフィルタによって、それぞれ第1及び第2ノードの値をモニタすることができる。従って、第1及び第2ノードに電位差が生じて平衡状態に達しても、その差を抑制するように制御信号が遅延量を抑制することができる。

【0089】この発明のうち請求項5にかかる $90^\circ$ 位相シフトによれば、一旦遅延が制御された後で、差動増幅器がゆっくりと可変抵抗の抵抗値の制御を行なって、平衡状態をほぼ維持しつつ、位相シフトの抑制を行うことができる。

【0090】この発明のうち請求項6にかかる $90^\circ$ 位相シフトによれば、第1電流源の第1トランジスタ及び第2電流源の第1トランジスタが、第1ノード及び第2ノードの電位差を小さくするので、カレントミラー回路の動作を確実にし、位相オフセットを抑制することができる。

【0091】この発明のうち請求項7にかかる $90^\circ$ 位相シフトによれば、第1電流源の第3トランジスタ及び第2電流源の第3トランジスタが、更にカレントミラー回路の動作を確実にし、位相オフセットを一層抑制することができる。

【0092】この発明のうち請求項8にかかるものによれば、出力ノードに第1電流源を接続するか否かを第1及び第2信号に基づいて第1スイッチが決定するが、第1スイッチに対して第1及び第2信号の負荷は等しい。また、出力ノードに第2電流源を接続するか否かを第1及び第2信号に基づいて第2スイッチが決定するが、第2スイッチに対しても第1及び第2信号の負荷は等しい。従って、第1及び第2信号についての負荷を均等にして、位相オフセットを抑制することができる。

# 【図面の簡単な説明】

【図1】 本発明の実施の形態1の構成を示す回路図である。

【図2】 本発明の実施の形態1の動作を示す回路図である。

【図3】 本発明の実施の形態1の動作を示す回路図である。

【図4】 本発明の実施の形態1の動作を示すタイミングチャートである。

【図5】 本発明の実施の形態1の構成を示す回路図である。

【図6】 本発明の実施の形態1の構成を示す回路図である。

【図7】 本発明の実施の形態1の動作を示すタイミングチャートである。

【図8】 本発明の実施の形態1の動作を示すタイミングチャートである。

【図9】 本発明の実施の形態2の構成を示す回路図である。

【図10】 本発明の実施の形態3の構成を示す回路図である。

【図11】 本発明の実施の形態3の構成を示す回路図である。

【図12】 本発明の実施の形態4の構成を示す回路図である。

【図13】 本発明の実施の形態5の構成を示す回路図である。

【図14】 従来の技術を示すタイミングチャートである。

【図15】 従来の技術を示すタイミングチャートである。

【図16】 従来の技術を示す回路図である。

【図17】 従来の技術を示す回路図である。

【図18】 従来の技術を示す回路図である。

【図19】 従来の技術を示す回路図である。

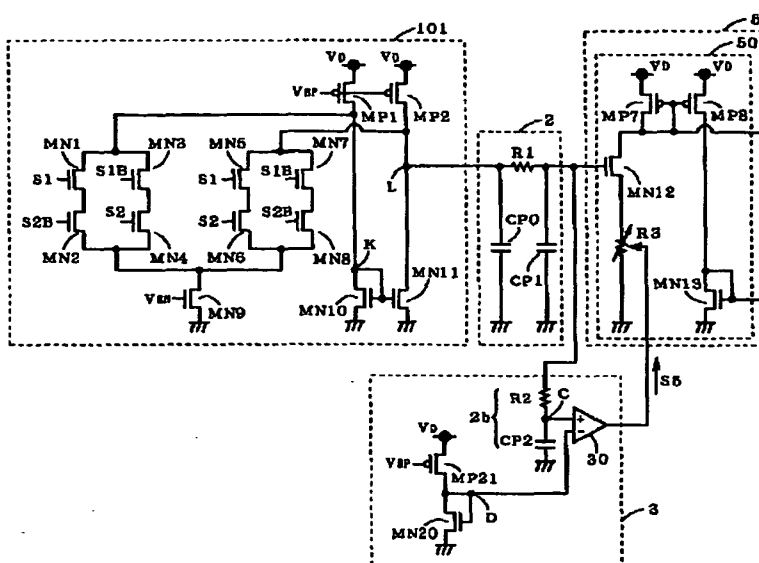
【図20】 従来の技術を示す回路図である。

# 【符号の説明】

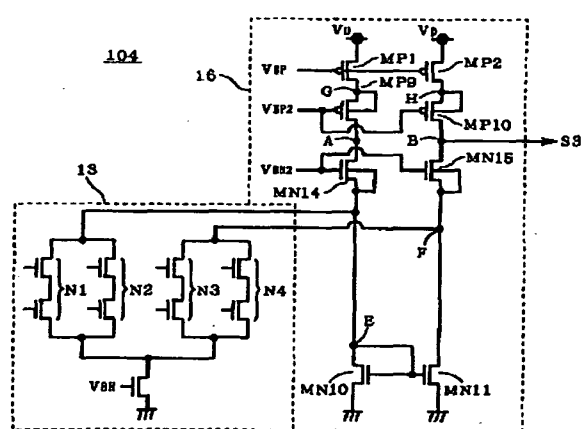
A, B, E, F, G, H, K, L, W ノード、 $I_1$ ,  $I_1'$ ,  $I_1''$  電流、2, 2b ローパスフィルタ、13, 13a, 13b EXOR部、14~16, 14a, 14b 電流制御部、5 遅延段、30 差動増幅器、50 遅延調節回路、51 遅延バッファ部、S1, S2 クロック、S3 UP/DOWN信号、S4 遅延調節信号、R1~R3 抵抗、CP0~CP2 コンデンサ、SW スイッチ、D1 ダイオード、 $V_{DD}$ ,  $V_{DD1}$ ,  $V_{DD2}$ ,  $V_{DD3}$  バイアス電位。



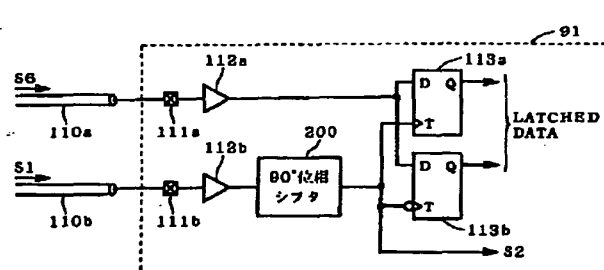
【図 10】



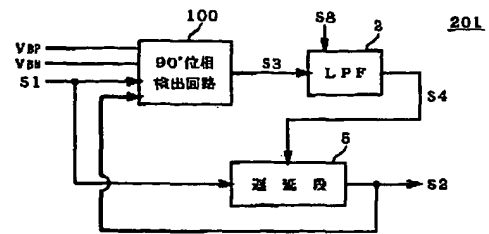
【图 13】



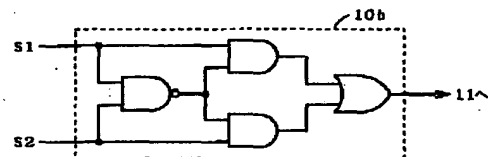
【图 16】



【图 18】



【図 20】



東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内